

08/903486

303.326us2

1/9/1
DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.
02817562 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: 01-1115162 JP 1115162 A]
PUBLISHED: May 08, 1989 (19890508)
INVENTOR(s): HIRAO TAKASHI
SETSUNE KENTARO
YOSHIDA TETSUHISA
KAMATA TAKESHI
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)
APPL. NO.: 62-271865 [JP 87271865]
FILED: October 29, 1987 (19871029)
INTL CLASS: [4] H01L-029/78; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive
Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors);
R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: E, Section No. 803, Vol. 13, No. 356, Pg. 17, August
09, 1989 (19890809)

ABSTRACT

PURPOSE: To reduce any leakage current while improving the heat resistance
by a method wherein the optical forbidden band width (Eg) of an amorphous
semiconductor is specified to exceed 1.9 eV i.e. Eg>=1.9 eV.

CONSTITUTION: An opaque gate electrode 2 is formed and then a gate
insulating film 3, an amorphous silicon carbide or amorphous silicon
nitride layer 4 of Eg>=1.9 eV and a passivation insulating film 5 are
successively formed on a glass substrate 1. Next, the overall surface is
coated with a light sensitive resin film 6 and then the film 6 is exposed
by rear side exposure process from the rear side of the glass substrate 1
to leave the same pattern as that of the gate electrode 2 for removing the
passivation film 5 using the pattern as a mask. Finally, III or V group ion
is implanted using the passivation film 5 as a mask to form a source/drain
region. Through these procedures, any leakage current can be reduced while
improving the heat resistance.

?

BEST AVAILABLE COPY

④日本国特許庁(JP) ⑤特許出願公開
⑥公開特許公報(A) 平1-115162

⑦Int.Cl.¹ H 01 L 29/78 27/12 認別記号 311 庁内登録番号 Z-7925-5F 7514-5F ⑧公開 平成1年(1989)5月8日
審査請求 未請求 発明の数 2 (全3頁)

⑨発明の名称 薄膜トランジスタ及びその製造方法

⑩特開 昭62-271865
⑪出願 昭62(1987)10月29日

⑫発明者 平尾幸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑬発明者 須恒謙太郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑭発明者 吉田哲久 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑮発明者 錦田謙 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑯出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑰代理人 弁理士 鹿野信司 外1名

目 次

1. 発明の名称

薄膜トランジスタ及びその製造方法

2. 特許請求の範囲

(1) シリコンを一主張な結晶元基とし、非晶質半導体を活性層とする薄膜トランジスタにおいて、前記半導体の光学的屈折率解 (n_g) が $n_g = 1.9 \sim 2.0$ 以上であることを特徴とする薄膜トランジスタ。

(2) 上記非晶質半導体材料がアモルファスシリコンカーバイト、アモルファスシリコンナイトライドのいずれかである事を特徴とする特許請求の範囲第(1)項に記載の薄膜トランジスタ。

(3) ガラス基板上に、光を透過させないゲート電極を形成した後、ゲート絶縁層、 $n_g \geq 1.9 \sim 2.0$ の非晶質半導体層、パッシバーション施設層を順次形成する工程と、しかる後該活性層の熱処理を施した後、前記ガラス基板裏面からの背面露出端で、成膜該活性層表面を露出し、

ゲート電極と同一パターンを複数されし工程と、このパターンをマスクとして前記パッシバーション層を除去する工程と、該パッシバーション層をマスクとして、導電成いはV銀イオンを導入し、ソース・ドレイン端端を形成する工程とを含むことを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(発明上の利用分野)

本発明は液晶テレビ用薄膜トランジスタアレイ等に使用される薄膜トランジスタ及びその製造方法に関するもの。

(従来の技術)

従来液晶テレビ用の薄膜トランジスタとして用いられているものとしてはアモルファスシリコンを用いたものが代表的である。第2例に本発明と対比すべき従来の請求範囲を示してある。N1Crをゲート電極12とする逆入りガ橋型の薄膜トランジスタの断面図である。11はガラス基板で、13はpoly-Si : H (水素化アモルファスシリコンナイトライド)、14Si_x-H : H (水素化アモルファ

特開平1-115162(2)

シリコン) 面でこれらはプラズマCVDの装置を用いて選択的に成長させている。15はオーミックコントラクト用のエミッタ部で、16はアモルファスN+Cr電極である。ソース・ドレイン電極となる15、16は正面背面両面を用いている。

(発明が解決しようとする問題)

前記の従来の技術において、背面露出法を用いて自己選択的にソース・ドレインを形成すると、光は積層アモルファスシリコン-Si-SiO₂を通過してその上部の感光性樹脂被膜を感光する必要がある。

しかし、通常アモルファスシリコン-Siの光学的禁止帯幅は1.7~1.8eVであるから、通常用いられている感光性樹脂の光頭では感光性樹脂被膜を感光されるためには長時間の露光が必要でスループットが極めて低い。このためエミッタ-Si-SiO₂の厚さを100~200nmの細く短くしてできるだけ通過する光量を多くするようにしている。しかし、あまり多くするとV_Dやドレイン電流の降伏性等に問題がでてくる。

ーション面をマスクとして、重版成いはリソングを汚入し、ソース・ドレイン領域を形成する工程とを有する方法である。

(作用)

ゲート電極をマスクとする背面露出でゲート電極と自己選択的にソース及びドレインを形成するためには裏面上の感光性樹脂被膜に十分光が届く必要がある。光の透過を妨げるものはアモルファスシリコン-Siによる光吸収である。従って、本発明は、光学的禁止帯幅1.9eV以上の半導体すなわちアモルファスシリコン-Si自体の光学的禁止帯幅を大きくするか光学的禁止帯幅の大きい材料であるアモルファスシリコンナイトライド-SiCあるいはアモルファスシリコンナイトライド-Si:Nのいずれかを用いる。本発明によれば、背面露光により、ゲート電極とソース・ドレインを自己選択で構成でき、高純度な積層トランジスタを得ることが可能となる。

(実施例)

活性層としてSiCを用いた場合について説明

本発明は上記問題点を解決するためのもので、ソース・ドレイン面のリード電極の計数あるいは耐熱性向上等のための厚膜、構造を行する構造トランジスタ及びその製造方法を説明することを目的とするものである。

(問題点を解決するための手段)

本発明は、上記目的を達成するために、シリコンを主成分な構成元素とし、非晶質半導体を活性層とする背面トランジスタにおいて、前記半導体の光学的禁止帯幅(Eg)がEg=1.9eV以上とするものである。

また、本発明の製造方法は、ガラス基板上に、光を遮断せないゲート電極を形成した後、ゲート電極膜、Eg=1.9eVの非晶質半導体膜、バックペーパーク被膜層を依次形成する工程と、かかる後感光性樹脂被膜を掩蔽した後、特にガラス基板裏面からの背面露出法で、前記感光性樹脂被膜を削除し、ゲート電極と同一パターンを残存される工程と、このパターンをマスクとして前記バックペーパーク被膜を露出する工程と、前記バックペ

する。図1(a)において1はガラス基板、2はゲートとなるCr電極である。ゲート電極2を遮蔽形成後、例えばプラズマCVD法でゲート電極膜となるシリコン酸化(シリコンナイトライド、SiN)図3を200nm、底面材となるエミッタ-SiC(アモルファスシリコンカーバイド)図4を100nm及びバックペーパーク面となるシリコン酸化膜(SiO₂)図5を300nmを依次的に形成する。光学的禁止帯幅Egが1.9eV以上であり感光層となるSiC表面はプラズマCVD法又はEPRプラズマCVD法で、例えばSiH₄とCH₄用いて形成することができる。しかる後、全面に感光性樹脂被膜6を全面に塗布した後、ガラス裏面側から、前記ゲート電極2をマスクとして光を用いて感光樹脂6を露光し、カ100nmに示すように前記ゲート電極2と同一形状に積層被膜6のパターン6-aを残存させた後(図1(b))、前記パターン6-aをマスクとしてバックペーパーク面5を露出して図5のパターン6-bを形成する(図1(c))。しかる後、前記パターン6-bを除去後、残存するバックペーパー

特開平1-115162(3)

図バターン5をマスクとしてイオンシャワードーピング部によりリンPを導入し、ソース・ドレイン部の深高精度領域16, 17を形成した後、第1回又に示すごとくアモルファスシリコンカーバイドa-SiCの島状部を形成する。その後、例えばアルミニウムを蒸着し、ソース・ドレイン領域等の電極18, 19を形成する事により溝子が完成する。なお、オーミック性を改善するため、第1回では第1回Dのち、P-CVD法でa-SiC膜を形成してもよい。また、アモルファスシリコンカーバイドa-SiCに代わりに、アモルファスシリコンナイトライドa-SiNを用いてもよく、あるいはアモルファスシリコンa-Siの光学的禁止帯を増加してもよい。

(発明の効果)

本発明の結晶トランジスタによれば、背面発光にて複数にソース・ドレインを形成することが可能で、ゲート領域と同じ形状のパッシベーション層を残存し、それをマスクとしてアモルファスシリコンカーバイドa-SiC等の結晶質膜に不純物を

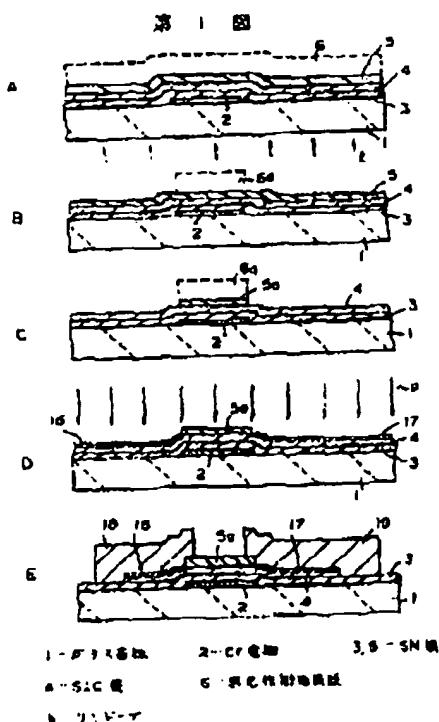
導入することができるため、ゲート電極とソース・ドレイン領域との重なりによる短絡がなくなり、寄生電流による漏漏抑制が可能である。

又本発明の製造方法によれば、背面発光法工程に各層に用いられるため、工程数の簡略化にもつながるだけでなく、光学的禁止帯幅が大きく半導体膜を用いるため、リード遮断の減少、高露下での耐熱性、又にアモルファスシリコンカーバイドa-SiCにおいて特に基板上の熱上昇が可減となる。

4. 図面の簡単な説明

第1図は本発明の一実施例における結晶トランジスタの製造プロセス所要図、第2図は前述の自己掩蔽a-Siトランジスタの断面図である。

- 1 … ガラス基板、2 … ゲート電極(Cr電極)、3 … ゲート絶縁層、4 … a-SiC膜、5 … パッシベーション膜、6 … 緩光性保護被膜。



第2図

